ONESPIN 360 EC FPGA

**操作流程指南**

北京芯跃科技有限公司

Support Engineer Mark Xiao

May 12th, 2019

目录

[1.概述 4](#_Toc8639222)

[2.操作流程 4](#_Toc8639223)

[2.1 工作流程配置 4](#_Toc8639224)

[2.2 加载设计 5](#_Toc8639225)

[2.3 编译 5](#_Toc8639226)

[2.4 映射 5](#_Toc8639227)

[2.5 比较 7](#_Toc8639228)

[2.5.1 数据路径分析 7](#_Toc8639229)

[2.5.2 初始状态计算 7](#_Toc8639230)

[2.5.3 状态关系计算 8](#_Toc8639231)

[2.5.4 执行比较 8](#_Toc8639232)

[3.图形调试界面Graphical Debugger 10](#_Toc8639233)

[3.1 设计工具栏 10](#_Toc8639234)

[3.2 原理图工具栏 11](#_Toc8639235)

[3.3 源视图工具栏 11](#_Toc8639236)

[4.约束管理器 12](#_Toc8639237)

[4.1 排序 13](#_Toc8639238)

[4.2 过滤 13](#_Toc8639239)

[4.3 添加标记 13](#_Toc8639240)

[4.4 搜索信号 13](#_Toc8639241)

[4.5 添加约束 13](#_Toc8639242)

[4.6 删除约束 14](#_Toc8639243)

[4.7 断言 14](#_Toc8639244)

[4.7.1 添加断言 15](#_Toc8639245)

[4.7.2 删除断言 15](#_Toc8639246)

[5.映射管理器 15](#_Toc8639247)

[5.1 添加标记 16](#_Toc8639248)

[5.2 手动添加映射 16](#_Toc8639249)

[5.3 添加映射关系 16](#_Toc8639250)

[5.4 内部映射 17](#_Toc8639251)

[5.5 内部信号映射 17](#_Toc8639252)

[5.6 菜单栏 18](#_Toc8639253)

[6.反例查看 20](#_Toc8639254)

[6.1 菜单栏 21](#_Toc8639255)

[6.2数据路径 22](#_Toc8639256)

[6.3 调试工具 22](#_Toc8639257)

[6.3.1 Debugging the Fanin Cone 22](#_Toc8639258)

[6.3.2 Understanding the Fanin View 23](#_Toc8639259)

[6.3.3 Using Diagnose Function 23](#_Toc8639260)

# 1.概述

EC-FPGA软件主要用于对HDL语言进行逻辑等效性检查。本软件是FPGA实现阶段验证工具，主要用于Verilog、VHDL或混合语言设计中，支持检查结果生成文本报告，支持自动分层验证和黑盒替换技术等功能，保证FPGA软件设计在综合/布局布线过程中网表的一致性，保证不会引入逻辑功能一致性问题。

本规程主要描述了EC-FPGA（2016-06）软件的操作规程。

# 2.操作流程

## 2.1 工作流程配置

在开展逻辑等效性检查之前需要对被测设计运行的硬件对象进行配置，流程的配置主要有EC-ASIC以及EC-FPGA两种，我们使用的流程为EC-FPGA。工作流程的配置可以在Setup菜单下通过选择“Flow Settings”来访问命令工具进行设置，如图1所示。

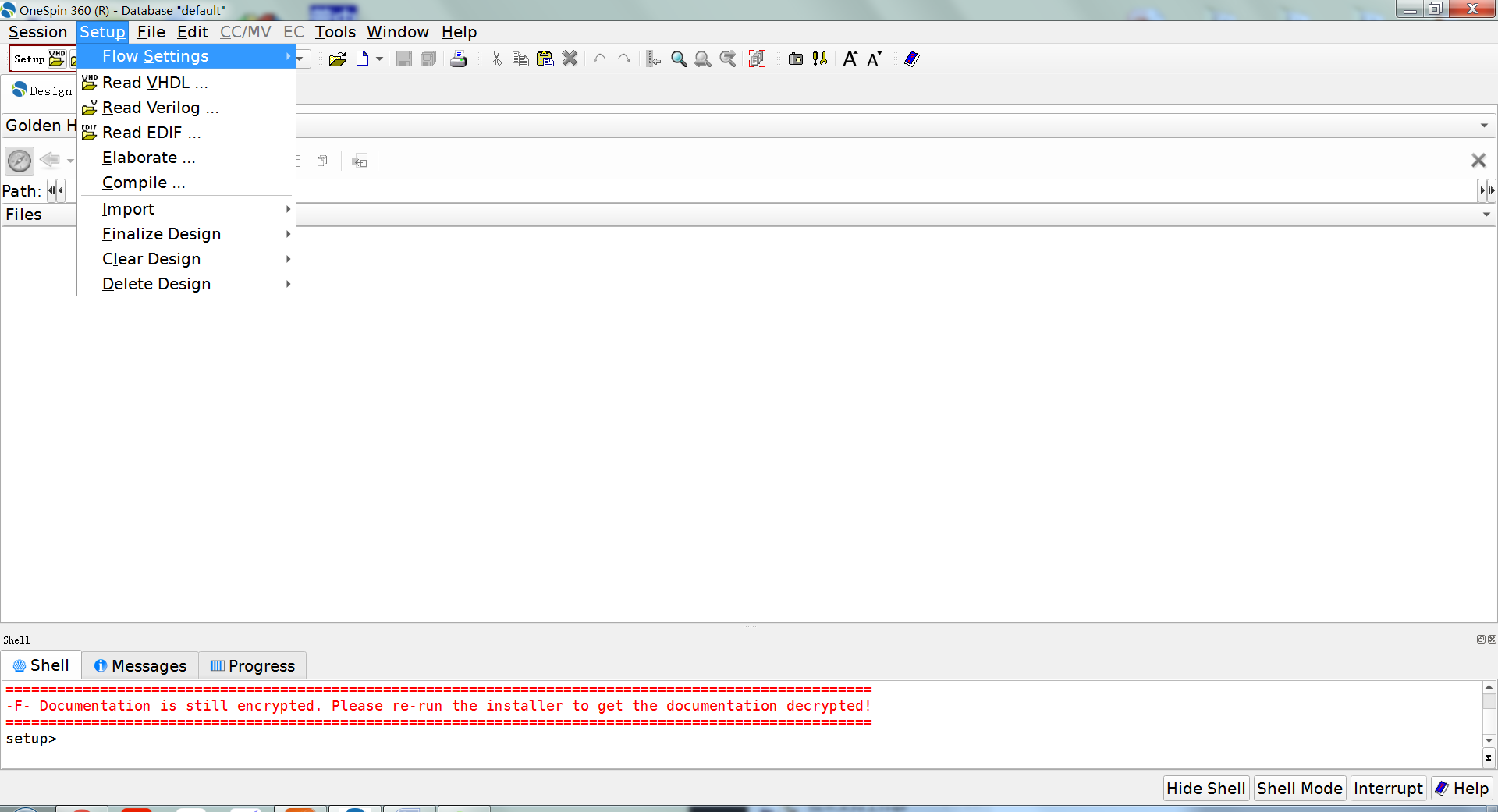


图1 Flow Settings设置界面

在弹出窗口中配置工作流程及被测设计运行环境等参数，如图2所示，在界面第一部分设置需要比对的类型，“RTL/Gate”源代码与网表进行比对，“Gate/Gate”网表与网表进行比对，“RIL/RTL”源代码与源代码进行比对。在界面第二部分选择器件厂商，在第三部分选择器件型号，仅当器件厂商设置为Lattice和Microsemi时需要对器件型号进行设置，对于Xilinx和Altera的FPGA器件会自动读取型号，不需具体设置。在界面第四部分选择被测设计使用的综合工具。

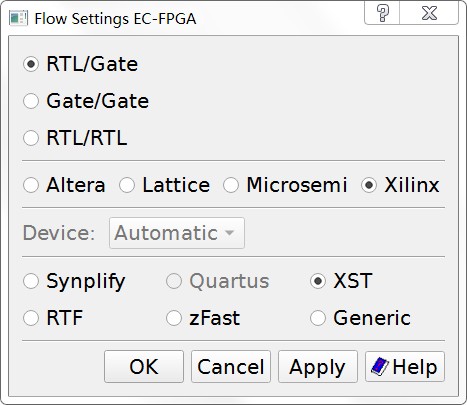


图2 EC-FPGA工作流程参数设置界面

## 2.2 加载设计

完成工作流程设置之后，根据选择的流程添加被测设计，以“RTL/Gate”模式为例，将源代码作为已验证设计（Golden），综合后的网表作为待比对设计（Revised）。通过Setup → Read VHDL添加后缀为vhd的文件，通过Setup → Read Verilog添加后缀为v的文件，通过Setup → Read EDIF添加后缀为edif的网表文件。

## 2.3 编译

在Setup菜单下点击【Elaborate】，在弹出的窗口中选择both，点击【OK】完成，链接成功后在Setup菜单下点击【Compile】，在弹出的窗口中选择both，点击【OK】完成编译。

## 2.4 映射

点击切换到EC模式，通过选中EC → Map中Map Tool Button Menu → Map来对输入、输出和状态进行映射，如图3所示。输入、输出和状态映射可以通过设置相应的复选框来选择设置选项。各个选项的功能与映射过程中的各项命令一致，点击OK将执行与选项对应的功能命令。一般使用默认参数即可。

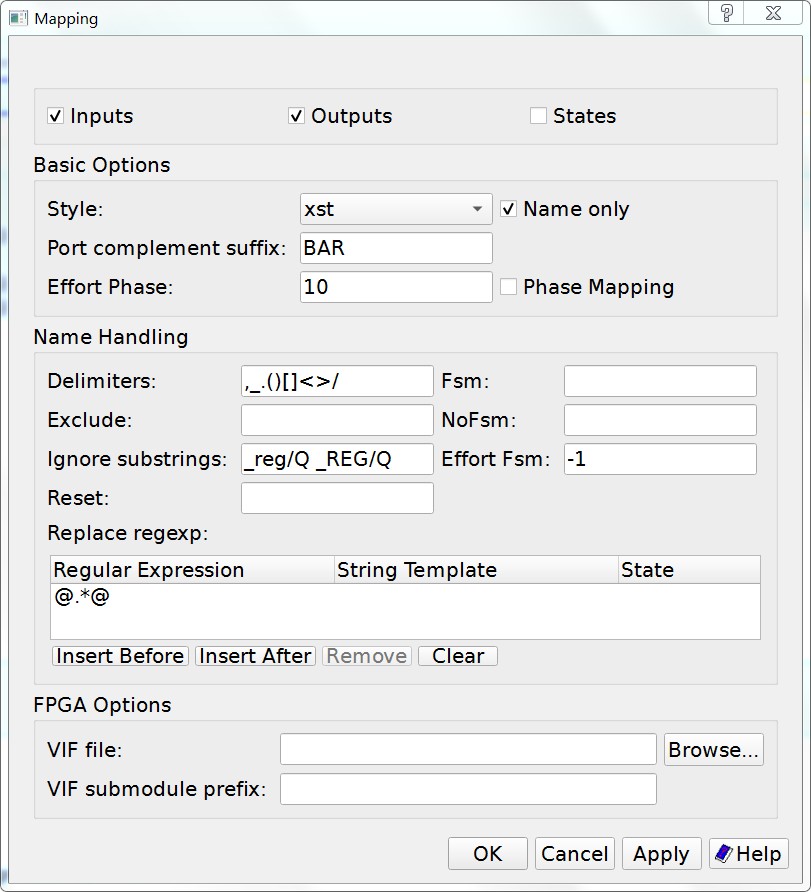


图3 EC-FPGA映射参数设置界面

Map命令的选项也可以通过选择EC → Settings → Set Map Options。Map对话框打开如图4所示。点击【OK】将根据设置执行命令set\_map\_option。这些选项会被map命令所覆盖。

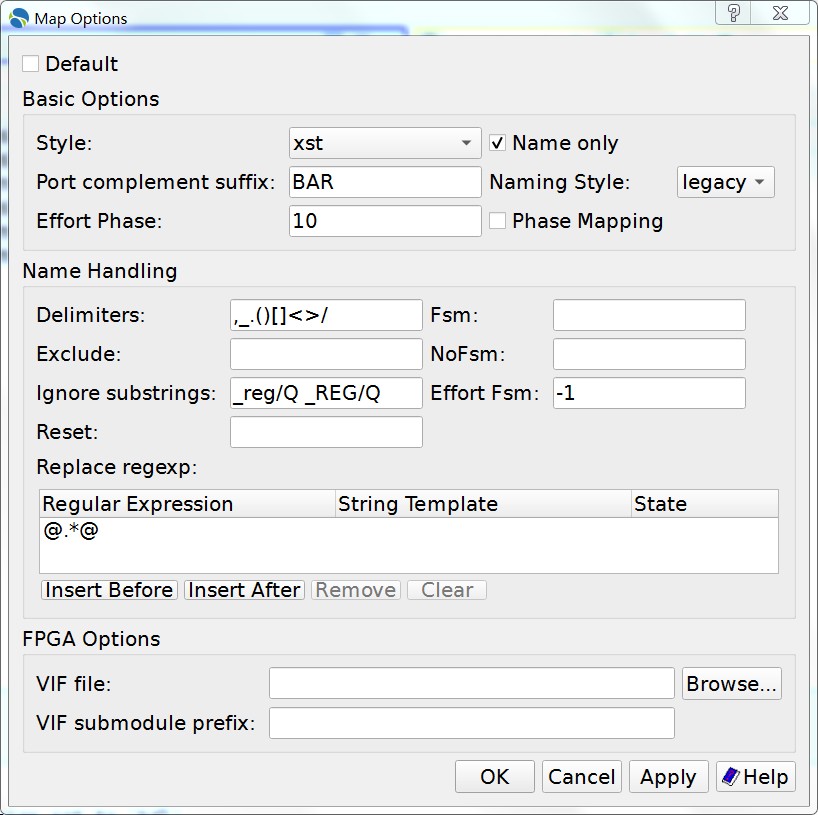


图4 map命令参数设置界面

完成输入、输出和状态映射后可以通过选中EC → Analyze Phase或者选中Map Tool Button Menu → Analyze Phase两种方式进入映射分析界面。在弹出窗口中设置初始序列的最大长度，如图5所示。

点击OK按钮将按照相应的配置选项执行analyze\_phase命令。

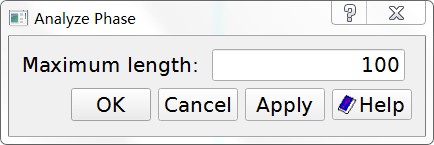


图5 初始序列设置界面

## 2.5 比较

比较阶段可以通过在EC Menu菜单中或者Compare Tool Button工具栏（如图6所示）中点击进入。比较阶段包括数据路径的分析，初始状态的计算，状态关系的计算，以及组合逻辑和时序逻辑的设计比较。

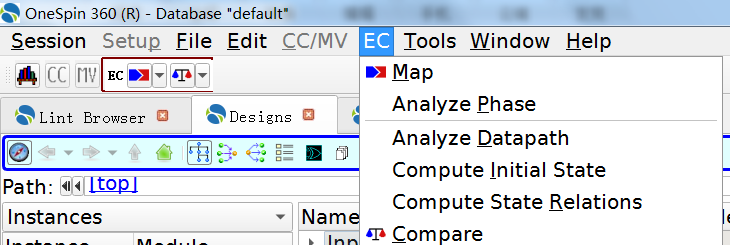


图6 比较阶段菜单

### 2.5.1 数据路径分析

通过点击EC → Analyze Datapath或者点击Compare Tool Button Menu → Analyze Datapath 可以进入数据路径分析界面，如图7所示，可以选择只对Golden或者只对Revised进行数据路径分析，通常选择Both对两者都进行分析。可以将分析结果写入某个文件则可以通过 【Browse】选择要写入的文件。点击【OK】将按照相应的配置选项执行analyze\_datapath命令。

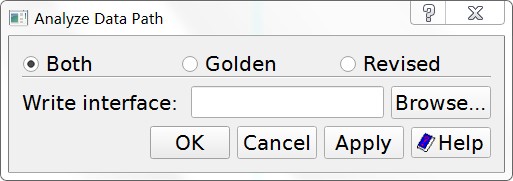


图7 数据路径分析界面

### 2.5.2 初始状态计算

通过选择EC → Compute Initial State或者Compare Tool Button Menu → Compute Initial State可以进入计算初始状态界面。如图8所示。相关参数为：

* 勾选FSM Reachability可以计算状态机相关信息。
* 勾选Dontcare可以自动对未定义初始值的状态进行初始化设置。
* 填写Maximum Length可以设置初始序列的最大长度。
* 可以通过Read file读取文件得到先前计算和存储的状态。
* 可以通过Write file保存当前计算和存储的状态到指定文件。

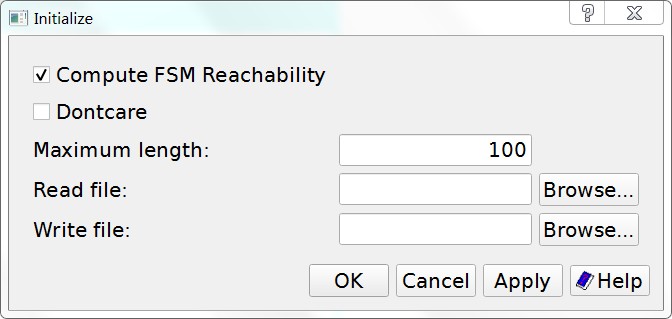


图 8 初始状态计算界面

设置完参数之后点击【OK】将按照相应的配置选项执行compute\_initial\_state命令。

### 2.5.3 状态关系计算

通过选择EC → Compute State Relations或者选择Compare Tool Button Menu → Compute State Relations可进入状态关系计算界面，如图9所示。

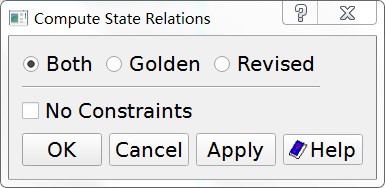


图9 状态关系计算界面

通过勾选Golden、Revised来选择需要计算的设计，通过设置No Constraints的选项设置约束的关闭/打开，点击【OK】将按照相应的配置选项执行compute\_state\_relations命令。

### 2.5.4 执行比较

通过执行EC Compare或者选择Compare Tool Button Menu → Compare可以进入参数设置界面，如图10所示。

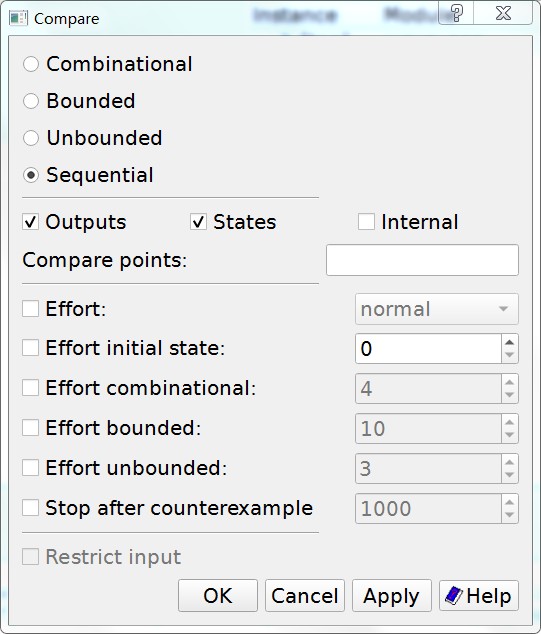


图10 等效性检查参数设置界面

第一栏是允许比较的类型，相关参数为：

* Combinational：执行对逻辑锥进行比较（output或者nextstate函数），对比每个比较点。
* Bounded：执行从初始状态到给定步数的映射引脚的检查。
* Unbounded：执行对所有剩余点进行比较。
* Sequential：执行所有剩余点的顺序比较，顺序比较可以进行连续的combinational、bounded和unbounded比较。

第二来栏是允许比较的限制，相关参数为：

* Outputs：对比两种设计的所有输出。
* States：对比两种设计的所有状态。
* Internal：验证两种设计的所有内部比较任务。
* 可以通过在Compare points文本框中输入信号来对指定信号进行屏蔽。

第三栏允许设置比较选项，相关参数为：

* Effort复选框：可以从相关的下拉列表中选择effort的级别low、medium、normal、high、insane以及multiplier。
* Effort bounded：仅在比较类型为Bounded时有效，设置比较的等级。
* Effort combinational：仅在比较类型为combinational时有效，设置比较的等级。
* Effort unbounded：仅在比较类型为unbounded时有效，设置比较的等级。
* Effort initial state：设置对应的effort等级分析未定义的初始状态。
* Stop after counterexample：比较将会在反例后暂停。
* Pipe line：任何不关心的比较点将被忽略。
* Restrict input：仅适用于bound比较。它通过切换所有时钟并禁用复位来限制输入。

设置完参数后点击【OK】将执行compare命令，点击【Apply】将执行compare命令并保持窗口，点击【Cancel】关闭窗口且不执行任何命令。

Compare的选项也通过选择EC → Settings → Set Compare Options。Compare对话框的选项打开如图11所示，这些选项会被Compare命令覆盖。点击【OK】会按照选项执行set\_compare\_option命令。

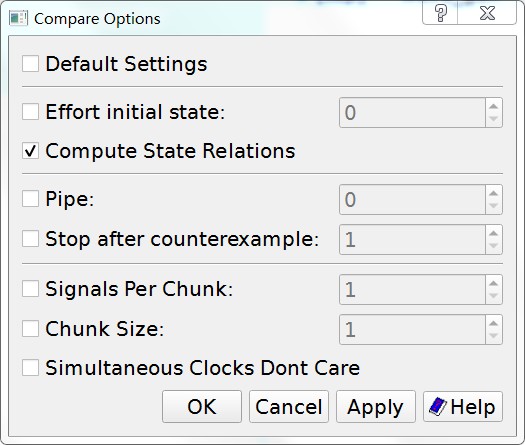


图11 比较参数设置界面

# 3.图形调试界面Graphical Debugger

图形调试界面由golden和revised浏览器组成，左半部分是golden design视图，右半部分是revised design视图。图形调试的界面如图12所示。

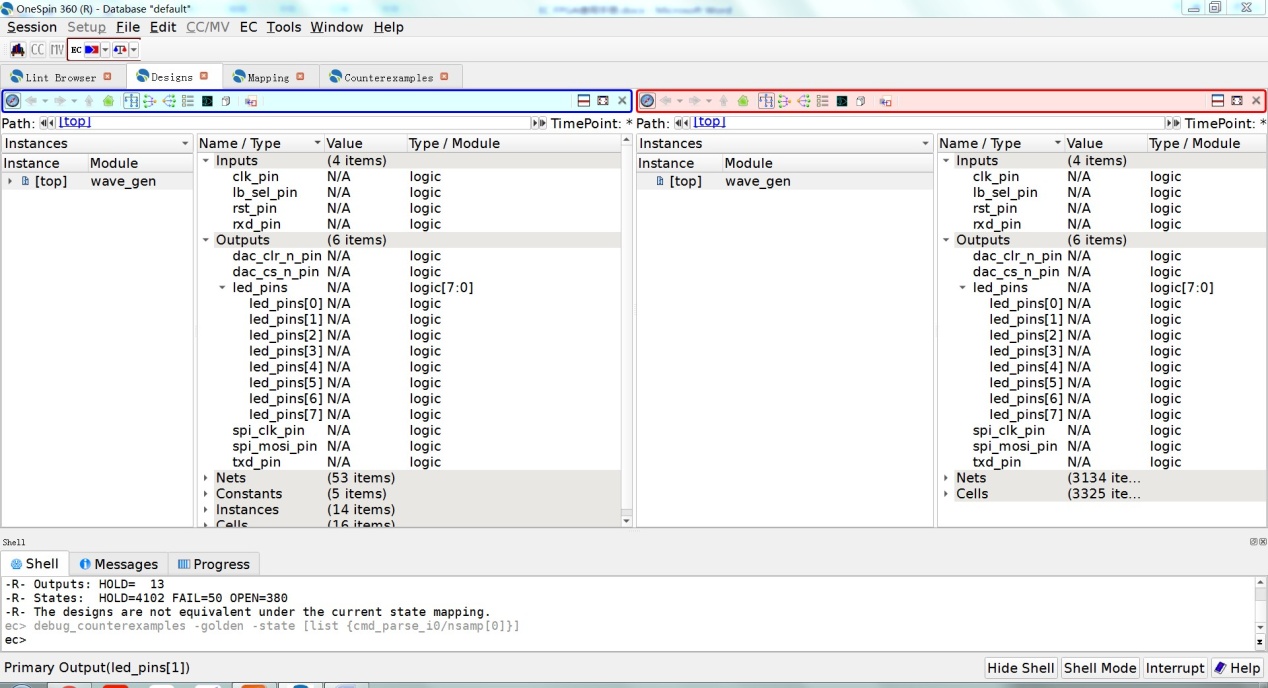


图12 图形调试界面

## 3.1 设计工具栏

设计工具栏为用户提供快捷、方便的调试操作，设计工具栏的截图如图13所示。

save11.jpeg

图13 设计工具栏

从左至右，工具栏快捷键的功能如下：导航视图、后退、前进、至上一层、至最顶层、显示层次、扇入视图、统计视图、源视图、分离窗口、堆叠窗口、最大化、关闭视图。

* Show Design Navigator（导航视图）：开选项可以显示\隐藏设计导航视图。
* Backward History（后退）：将当前设计浏览视图返回至视图列表中的上一视图，打开工具栏菜单（右边↓按钮）可以显示最近使用过的设计浏览视图列表，如图14所示。

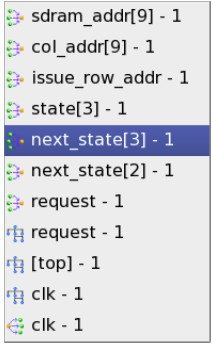


图14 最近浏览视图列表

* Forward History（前进）：将当前设计浏览视图返回至视图列表中的下一视图。工具栏菜单（右边↓按钮）可以显示最近使用过的设计浏览视图列表。
* Up one Hierarchy Level（至上一层）：将当前视图切换至层级视图。
* Show Top Level（至最顶层）：切换当前视图至顶层视图。
* Show Hierarchy View（显示层次）：切换当前视图至层级视图。
* Show FanIn View（扇入视图）：切换当前视图至扇入视图。
* Show FanOut View（扇出视图）：切换当前视图至扇出视图。
* Show Statistics View（统计视图）：切换当前视图至统计视图。
* Show Schematic View（原理视图）：切换当前视图至原理视图。
* Show Source View（源视图）：切换当前视图至源视图。
* Detach Current View（分离窗口）：独立当前显示窗口。
* Arrange Stacked（堆叠窗口）：设置Golden和Revised视图并列。
* Maximize（最大化）：最大化窗口视图。
* Close Current View（关闭视图）：关闭当的窗口。

## 3.2 原理图工具栏

原理图工可以提供简便快捷的常用操作，原理图工具栏如图15所示。

save13.jpeg

图15 原理图工具栏

从左往右，原理图工具栏依次提供以下操作：

* Regenerate Schematic（重新生成原理图）：新生成原理图以应用新的属性：数值、信号的颜色等。
* Zoom Fit（缩放调节）：将原理图视图缩放调节适用当前视图空间的大小。
* Zoom Selection（缩放选择）：将原理图的所选矩形部分适用于当前原理图视图空间。

## 3.3 源视图工具栏

源视图工具栏可以提供简便快捷的常用操作，源视图工具栏如图16所示。

save14.jpeg

图16 源视图工具栏

从左往右，原理图工具栏依次提供以下操作：

* Active Code：显示\隐藏活动代码。
* Values：显示\隐藏信号值。
* Line Numbers：显示\隐藏行列数。
* Line Warp：实现折线功能。
* Driver or Load Tracing：完成Driver模式与Load Tracing模式切换。图标从左至右功能分别为：
* 在当前Module下跳转至前一步的Driver/Load。
* 在当前Module下跳转至后一步的Driver/Load。
* 跳转至Surrounding hierarchy的Driver/Load。
* 跳转至Down hierarchy的Driver/Load。
* 自动追踪驱动源（在第一个分支停止）。
* Declaration（最后一个按钮，显示为CLK）：显示为Source Bar栏中信号的名称，即如果信号名称为“clk”，则Declaration的名称也为“clk”（参见图19的最后一个按钮）。单击Declaration按钮转到当前信号的声明。

# 4.约束管理器

约束管理器负责添加或删除约束。约束操作均在约束管理器中完成，EC-GUI上显示为“Constraints”选项卡。“Constraints”选项卡可以使用Window → Constraints来显示或隐藏。图17显示了约東管理器操作界面的截图。

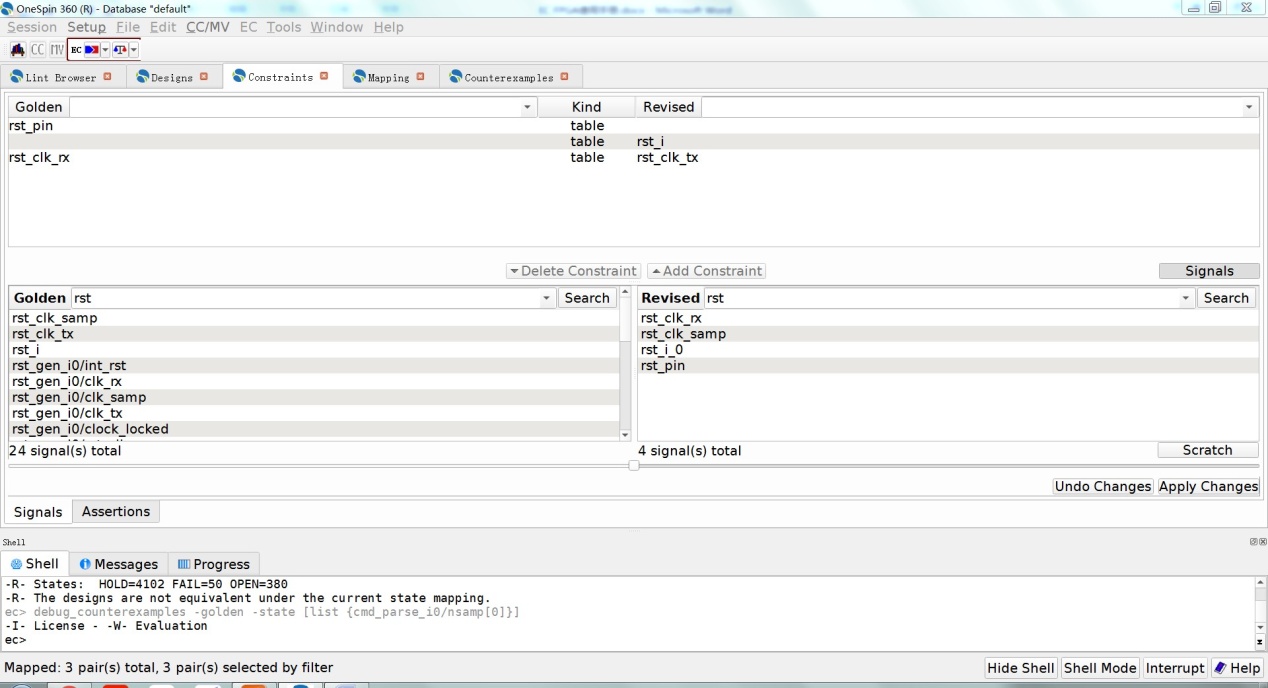


图17 约束管理器操作界面

“Constraint”选项卡内提供了Tcl函数*add\_constraint*和*delete\_constraint*命令的图形界面功能选项。约束管理器的布局分为设计约束显示在视图顶部，Golden无约束信号显示在中间部分左边视图中，Revised无约束信号显示在中间部分右边视图中。设计约束视图中的列为：

* Golden列显示Golden信号的名称。此列显示在顶视图和左下视图。
* Name列显示制定添加约束的名称。此列仅在顶视图中显示。
* Kind列显示约束的关系类型。此列仅在顶视图中显示。
* Revised列显示Revised信号的名称。此列显示在顶视图和右下视图。

## 4.1 排序

可以通过单击列标题来对特定列中的项目列表进行排序。当前排序列将高亮显示，并且排序图标将显示为列标题右侧的小箭头。箭头的方向显示当前排序的方向，↑表示升序，在表中的值升序排列，↓表示降序，在表中的值降序排列。

Golden和Revised的无约束信号视图可以通过点击Signals按钮来显示隐藏。

## 4.2 过滤

可以通过在Golden/Revised文本框中输入文本或下拉菜单中选择来过滤信号，与输入的文本匹配的数据将会显示在列表中，可以使用通配符（\*和？）对内容进行查找。

通过选择Context menu → View Settings → Synchronize设置为普通过滤模式。

通过选择Context menu → View Settings → Set Case Sensitive设置区分大小写过滤模式。

## 4.3 添加标记

如果要为约束添加标记，可以将其添加到Scratch Buffer。通过单击Scratch按钮可以显示/隐藏Scratch Buffer。

视图上部分中添加的约束可以通过Context menu → Move to Scratch Buffer命令或者拖拽加入到已打开的Scratch Buffer视图中去。

## 4.4 搜索信号

通过在中间视图文本框中输入搜索信号的名称并按下Search按键，可以列出对应的Golden信号和Revised信号。

## 4.5 添加约束

通过点击Add Constraint按钮来为Golden信号或Revised信号添加约束。选中对应视图中行列内Golden信号或Revised信号会有Add Constraint Dialog弹出。const0、const1或equiv约束可以通过相应的复选框来设置约束。可以在Constraint text框中输入约束的名称，如图18所示。

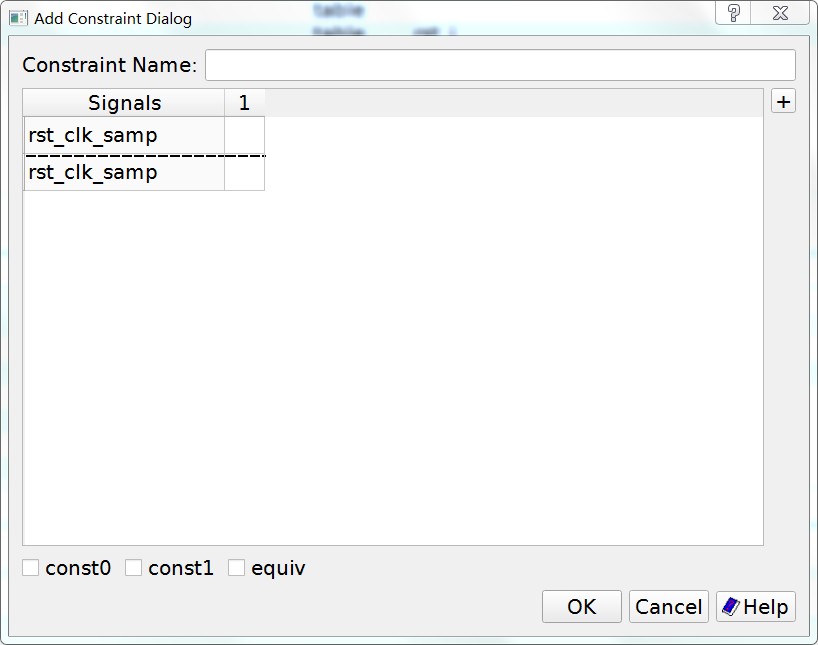


图18 添加约束对话框

## 4.6 删除约束

可以在信号约束界面中通过Delete Constraint按钮来删除信号约束。

## 4.7 断言

在Constraints选项卡切换到Assertions界面中输入对应文本并按下Search按钮可以列出未约束的Golden信号和Revised信号的断言，参见图19。

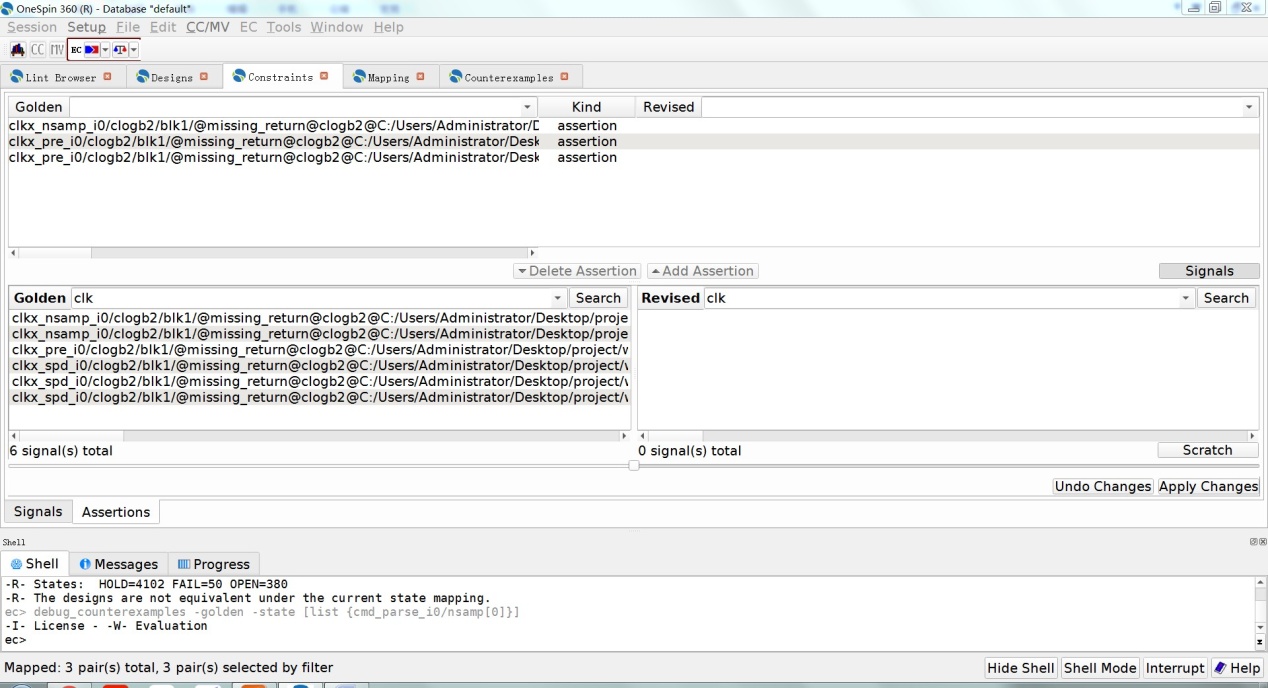


图19 断言界面

### 4.7.1 添加断言

通过点击Add Assertion按钮可以为未约束的Golden信号和Revised信号来添加断言。

### 4.7.2 删除断言

在约束果面中选中相应的约束条件并通过点击Delete Assertion按钮来删除断言。

# 5.映射管理器

映射管理器负责映射任务的管理。映射管理器在EC-GUI上显示为Mapping选项卡。Mapping选项卡可以使用Window → Mapping来显示或隐藏。图20显示了约束管理器操作界面。

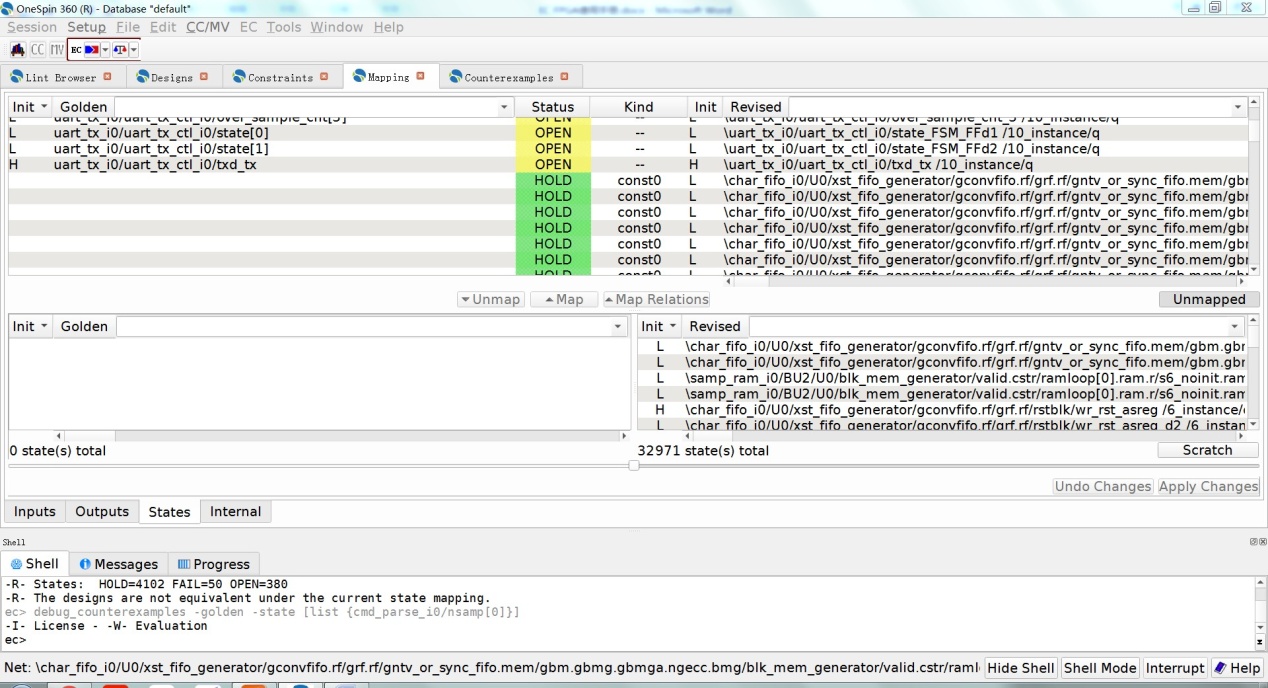


图20 映射管理器界面

映射管理器负责对输入、输出、状态以及内部信号进行映射/解除映射的操作管理，映射管理器通常应用于以下场景：

* 在某些情祝下，综合工具会在综合过程中对设计中的非常规命名进行强制转换，转换成常规命名风格。
* 操作人员希望对某些映射进行编辑。
* 软件没有出现自动映射。

Mapping选项卡内提供了Tcl函数*add\_mapping*和*delete\_mapping*命令的图形界面功能选项。映射管理器的布局分为映射信号在视图上方，Golden信号在视图左下方，Revised信号在视图右下方。

映射视图项的内容为：

* 列Init显示信号的初始状态，该列仅在State选项卡中显示。在该列中，“X”值表示没有赋初始值，初始值在复位序列的作用下会显示值为0或1，如果初始值由HDL代码获得，则会显示为“L”（表示0值）或“H”（表示1值）。
* Golden列显示Golden信号的名称。此列显示在顶视图和左下视图。
* Status列显示对应映射信号的比较状态。这一列仅在视图上部的Output、States和intemal选项卡显示。
* Kind列显示映射信号的关系类型（例如，equality=--，inequality=!-，const0，const1，fsm）。该列在每个标签的视图顶部显示。
* Name列显示制定映射的关系的名称。该列在states和internal选项卡的顶部显示。
* Revised列量示Revised signal的名称。该列在视图顶部和右下部显示。
* Transformed Name列在映射选项为-replace\_regexp有效时显示在Unmapped视图中。这列在Unmapped视图中的Input、Ouput或States选项卡中显示。
* 排序功能和过滤功能与“约束管理器”部分功能类似。

## 5.1 添加标记

如果需要为信号添加标记，可以将其添加到Scratch Buffer。通过单击Scratch按钮可以显示/隐藏Scratch Buffer。

视图上部分中添加的信号可以通过Context menu → Move to Scratch Buffer命令或者拖拽加入到已打开的Scratch Buffer视图中。

使用Scratch列表的常用场景是过滤映射点和通过过滤列表来删除一些持殊信号。

如果已经映射信号移动到Scratch，它们将自动取消映射。

## 5.2 手动添加映射

可以在Unmapped视图中选定Golden Signal和Revised Signal，然后点击Map按键以及Apply Change按键来实现手动添加映射功能。

## 5.3 添加映射关系

在Unmapped视图中点击Map Relations按键来添加映射关系，从相应列选定的Golden Signal和Revised Signal将会在Add State Relation对话框中显示。

如果需要制定映射关系表，请双击相应的单元格并为其赋值。可以通过单击 + 按钮添加新列。const0、const1和equiv关系可以通过相应复选框来设置，可以在Relation Name文本框中为关系命名，图21为Add State Relation Dialog的截图。

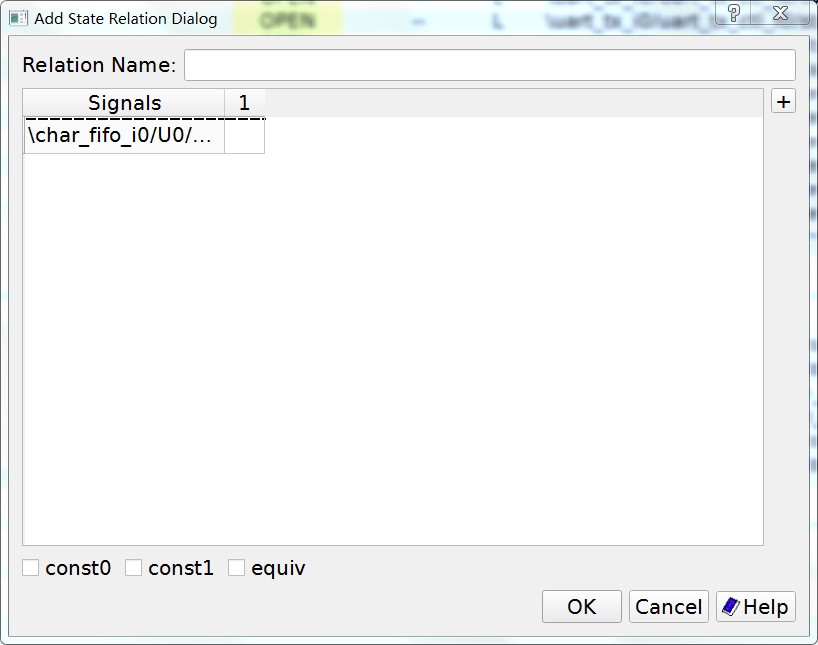


图21 映射关系添加界面

## 5.4 内部映射

内部映射的情况反映在映射管理器的不同选项卡中。内部信号映射的操作在Internal Mapping中操作。

通过输入搜索内部信号的名称并按下Search按键可以列出对应的Golden信号和Revised信号。图22为Mapping - Internal的界面。

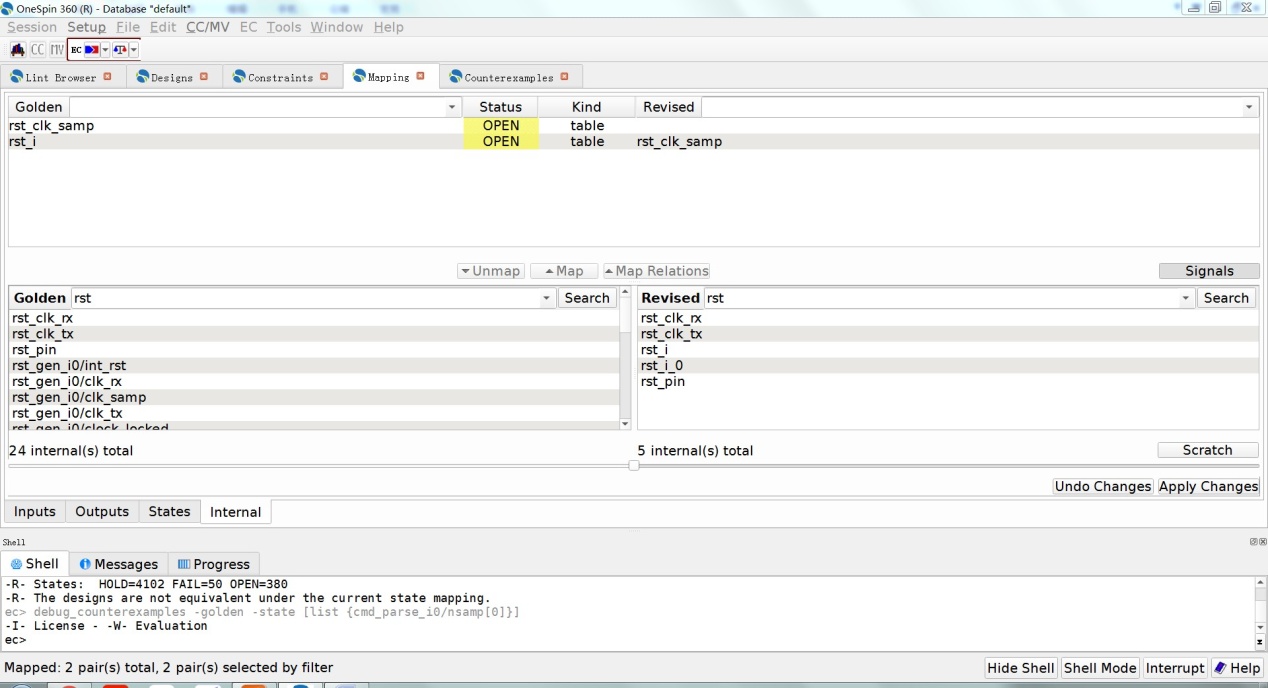


图22 内部映射界面

## 5.5 内部信号映射

选中Golden信号或者Revised信号后点击Map按钮可以映射内部信号。Add Internal

Relation Dialog窗口如图23所示。被映射的内部信号的显示方式与Map Relations中类似。如果信号需要被重定时，可以在ReTime列中输入对应无符号整数。

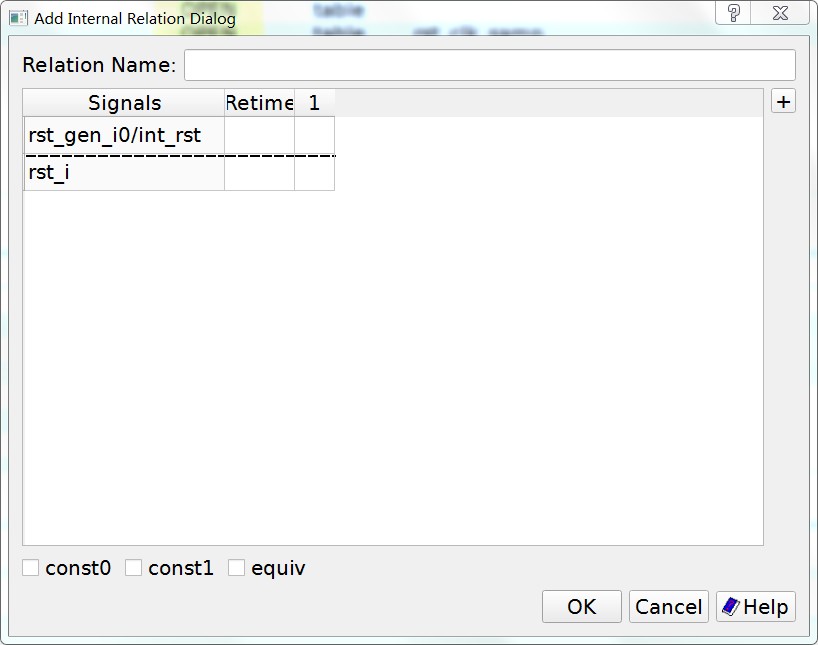


图23 内部信号映射界面

内部信号可以在Mapped视图中选择相应的内部信号后点击Unmap按钮和Apply Changes按钮来取消映射。

## 5.6 菜单栏

在映射管理中点击右键会理出上下文某单，如图24所示。

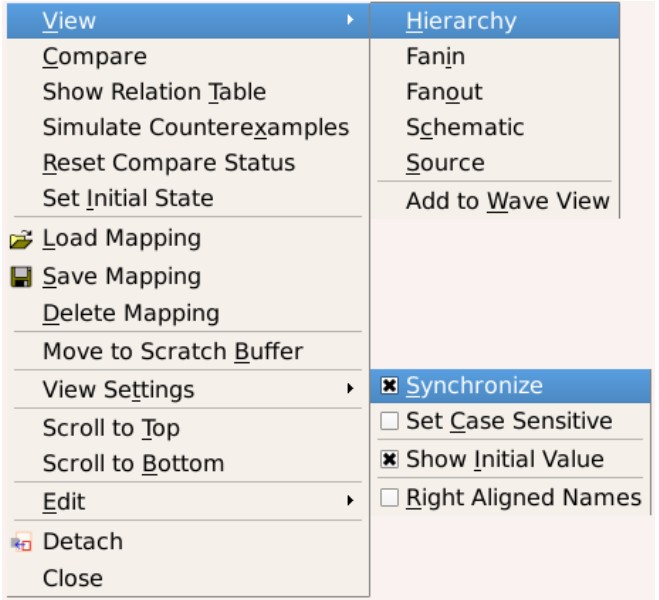


图24 映射管理器菜单栏

映射管理器中上下文菜单的功能有：

* View：点击View可以查看选中信号的信息，View的子菜单中的功能选项如下：
* Hierarchy：在Hierarchy Design View中显示选中信号信息。
* Fanin：在Fanin Design View中显示选中信号信息。
* Fanout：在Fanout Design View显示选中信号信息。
* Schematic：在Schematic Design View显示选中信号信息。
* Source：在Source Design View显示选中信号信息。
* Add to Wave View：添加选中信号到Wave View中。
* Compare：比对选中的映射信号。该指令只在Mapped视图中有效。
* Show Relation Table：会在Relation Dialog对话框中示关系表。该指令在Mapped视图中通过双击Relation列也同样有效。该指令只在Mapped视图中有效。
* Simulate Counterexamples：仿真选中的映射信号，该指令只在Mapped视图中有效。
* Reset Compare Status：复位选中映射信号的计算比较状态。
* Set Initial State：设置选中信号的初始状态，在对应列选中信号可以打开Set Initial State Dialog对话框。选中相应单元格并双击可以设置单元格的初始状态，复选框中可以设定初始值为const0、const1、undef、hdl和explicit。图25为Set Initial State Dialog对话框。

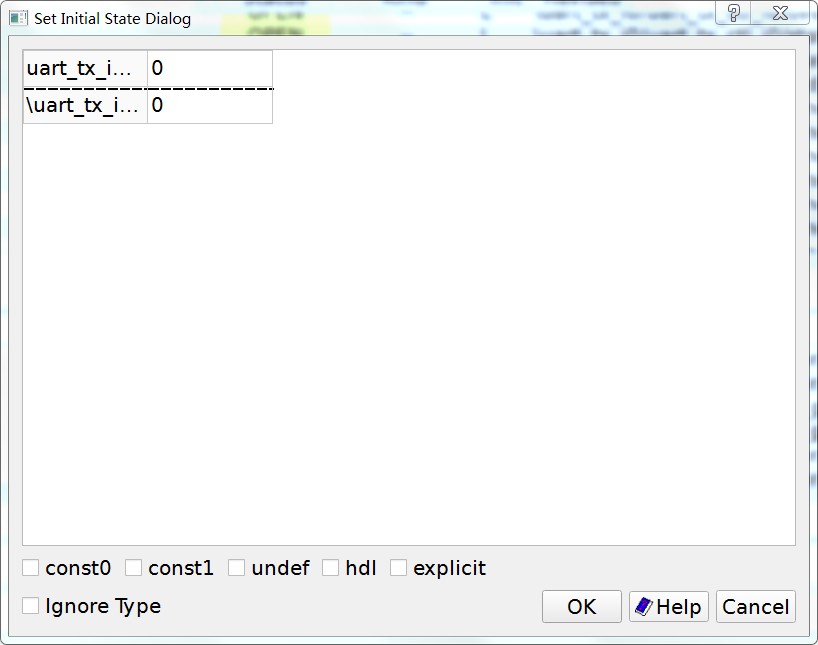


图25 初始状态设置界面

* Load Mapping：读取存储映射文件。
* Save Mapping：存储当前映射。
* Delete Mapping：解除选中映射信号的映射过程，该指令只在Mapped视图中有效。
* Move to Scratch Buffer：将选中信号放入临时存储区域，moves the selected也可以选中信号并将其拖入Scratch Buffer View中。如果信号需要被标记也可以添加到该存储区域。
* View Setting实现以下功能：
* Synchronize：在Fanin Design View中显示选中信号信息。
* Set Case Sensitive：在Fanout Design View显示选中信号信息。
* Show Initial Value：在Schematic Design View显示选中信号信息。
* Right Aligned Names：在Schematic Design View显示选中信号信息。
* Edit：复制选中信号，査找信号以及选中视图中所有信号。
* Detach：将映射管理页面弹出为独立窗口。
* Close：关闭映射管理。

# 6.反例查看

如果在设计中发现不等价点，则会在Counterexamples View中产生相应反例。反例的各项操作功能在EC-GUI界面的Counterexamples View的标签内实现。Counterexamples View窗口可以通过Window → Counterexamples命令来打开或者隐藏。图26是Counterexamples View的界面。

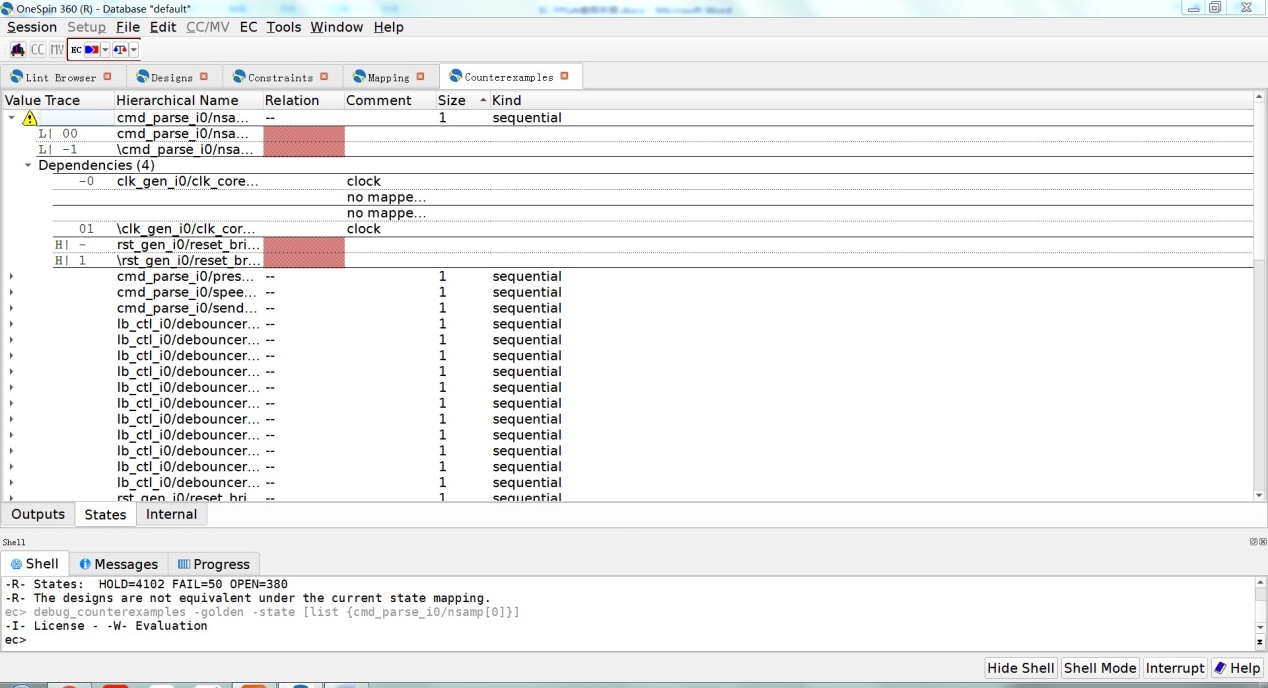


图26 反例查看界面

Counterexamples View中有以下几列：

* Value Trace：显示比较点的追踪值。在顺序反例中，该值为初始状态下开始的仿真追踪值。对于组合反例，只显示当前値与下一状态值。
* Hierarchical Name：显示信号位的名称。
* Relation：表示反例中信号位的关系。
* Comment：显示位对的信息，例如反向映射，未映射位等。
* Size：显示反例支持的位对个数。
* Kind：显示为顺序反例或者组合反例。

点击选中视图底部的标签可以切换显示反例的Outputs、States、Intemal。双击反例选中当前反例、并使用当前反例来对设计注释。这项操作也可以通过Context Menu → Select (annotate) Counterexample步骤来实现。

法灰背景表示当前被选中的反例，反例为树状显示，通过点击（+）可以展开当前反例。选中一条反例双击可以在Design窗口查看到不等价的被形结果，如图27所示。

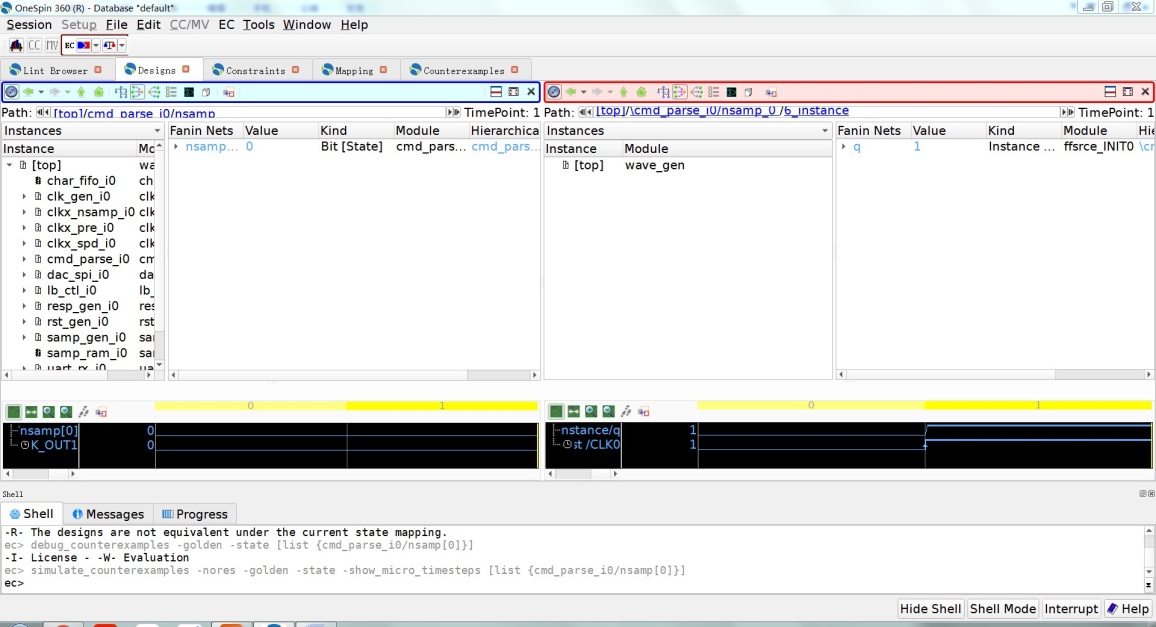


图27 反例波形界面

## 6.1 菜单栏

在Counterexamples视图下点击右键可以弹出上下文菜单，如图28所示。

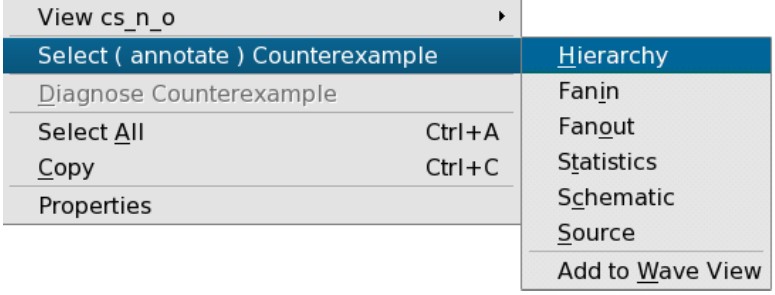


图28 反例视图菜单栏

菜单栏中各选项功能如下：

* View：显示选中信号的各种信息。View子菜单中各功能如下：
* Hierarchy：显示选中信号的层次设计视图Hierarchy Design View。
* Fanin：显示选中信号的扇入设计视Fanin Design View。
* Fanout：显示选中信号的扇出设计视图Fanout Design View。
* Schematic：显示选中信号的原理图设计视图Schematic Design View。
* Source：显示选中信号的源设计视图Source Design View。
* Add to Wave View：添加选中信号到波形视图Wave View。
* Select (annotate) Counterexample：选中当前反例并对其进行模拟操作，取消之前选中的反例并对当前反例进行注释。该操作与命令行simulate\_counterexamples的功能一致。
* Diagnose Counterexample：对当前选中反例进行诊断。诊断操作仅支持组合反例。操作完成后，用户可以査看诊断点。该操作与命令行diagnose\_counterexample的功能一致。
* Select All：在反例视图中选中所有的反例。
* Copy：复制选中反例。
* Properties：显示反例的一些属性，像输入、输出、状态、时钟映射、断言等。

## 6.2数据路径

Datapath（数据路径）可以显示Golden和Revised设计的RT乘积。在EC-GUI中的 Datapath选项卡可以进行乘数操作。通过Window → Datapath可以显示隐藏Datapath窗口。图29为Datapath的界面。

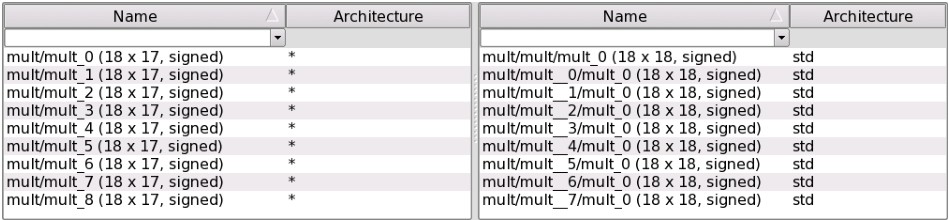


图29 数据路径查看界面

对于每个系数、其名称（例如<instance\_path>/mult\_0），大小（例加9x15），符号（有符号或无符号乘法）以及其当前体系结都在该选项卡中显示、可以通过在可用结构的列表中选择并双击相应的结构单元来选择一个可用值列表中（\*，std，网表等）。乘数的分析可以通过在选中Golden或者Revised设计中执行Context Menu → Analyze命令。

## 6.3 调试工具

若使用GUI调试反例，双击反例然后对其值进行注释。本节讨论一些与Design Explorer相关的一些调试技术。常用术语有：

* Bit：位（或位向量）是某些RTL级设计对象的综合表示。（例如VHDL变量信号，或Verilog wire、reg）。
* Net：Net与某些RTL级设计对象直接相关（例如VHDL变量/信号或Verilog wire、reg）。在360 EC调试器中，nets可以具有对应于类型的自己的层次结构HDL对象的层次结构，另一方面，Nets是一种由子网组合而成的数据类型（记录，数组），而具有标量数据类型（数字、枚举、布尔、位）的Nets是由位组成。
* Current/Next-State：状态保持可以反应设计编译期间的状态。通常，网络的当前状态是指Flip-Flop / Latch输出，而网络的下一状态是指Flip-Flop / Latch的数据输入。默认情况下，所有的视图窗口都会参考当前网的状态。

### 6.3.1 Debugging the Fanin Cone

最直接有效的反例调试方法是跟踪由输入和当前状态组成Fanin Cone，并对其值进行nets/bits的比对。

重新排列设计视图并切换至fanin视图可以让调试变得更加方便。尽管理论上很简单，但实际上进行fanin追踪是一个非常复杂的任务。通过在反例中运行Diagnose可以简化这个任务。

使用Contest Menu → Show Matching Bits可以为每个网点（colored green after diagnosis）生成与其他设计的匹配位列表（或者Cortest Menu → Show Equivalent Bits），以帮助跟踪设计的绿色部分。

### 6.3.2 Understanding the Fanin View

在Fanin View视图中打开issue\_col\_addr如图30所示。该图显示了sdram\_addr [9]和 sdram\_addr (9)的不等状态值，以及模拟反例后的fanin锥。在golden design中该值从0更改为1，而在revised design中的值保持0。图中各颜色表示为：

* Blue：当网络为蓝色时，其值对fanout网络有直接的影响。
* Black：当网络为黑色时，不影响其fanout网络，并由内部模拟器分配任意值。
* Gray：当网络为灰色时，不会在当前的反例中发生。

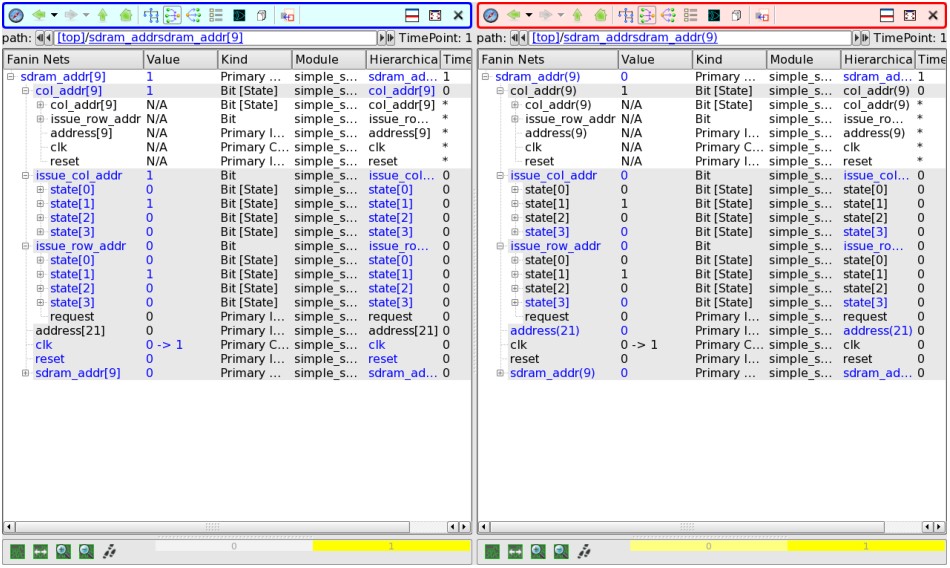


图30 扇入视图界面

比如，在golden design中的输入reset是蓝色的，因为它会印象比较点sdram\_addr [9]：如果它的值是1而不是0，则sdram\_addr [9]的下一个状态将为0（复位值）而不是1。在revised design中，输入reset为黑色，因为其值与反例不相关：如果为1，则sdram\_addr (9)的下一个状态仍为0。

找到matching nets对理解比较点的两个不同值时会非常有效。比如说，应该在golden design中的网络issue\_col\_addr与revised design的相同名称的网络相对应，并且应该具有相同的值。然而，情况并非如此，比较点不相等的原因可能是由于这两个设计的网络不等所致。在看到这两个网络的fanin之后，很明显，差异源于这两个网络，因为它们仅依赖于state[0..3]，因此映射后在两个设计中应具有相同的值。

### 6.3.3 Using Diagnose Function

蓝色和黑色部分已经指向了问题的根源，但追踪fanin仍是一项非常复杂的任务。运行反例来进行Diagnose也可以大大简化该任务。

360 EC中的diagnosis feature可以计算两个设计间的位匹配，从匹配结果中导出颜色编码，并根据着色对设计进行诊断。颜色有以下含义：

* Green：若网络为绿色，则在某其他设计中，存在与之匹配的网络，也就意味着其他设计中具有相同的功能。
* Red：其他设计中没有匹配的网络，当网络为红色时，其功能在其他设计中不存在。

Fanin诊断为红色时其网络不能与其他设计匹配。这样在通过验证的网络上，通过以下方式来确定最终在诊断网络。继续上节例子，运行诊断的效果如图31所示。着色已经指向网络issue\_col\_addr。

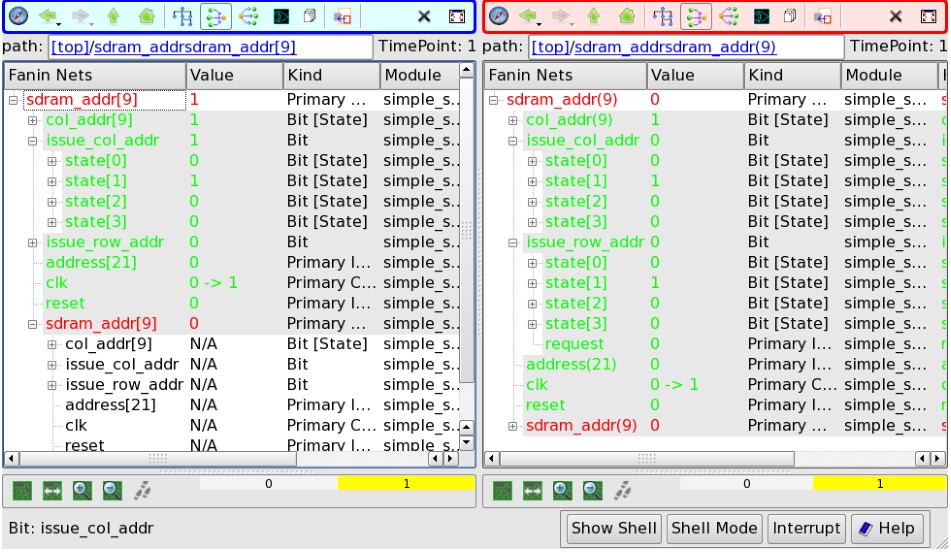


图31 诊断运行结果